

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-299464

(43)Date of publication of application : 24.10.2000

(51)Int.Cl. H01L 29/78
H01L 29/74

(21)Application number : 2000-091296 (71)Applicant : INTERSIL CORP
(22)Date of filing : 29.03.2000 (72)Inventor : KOCON CHRISTOPHER

(30)Priority

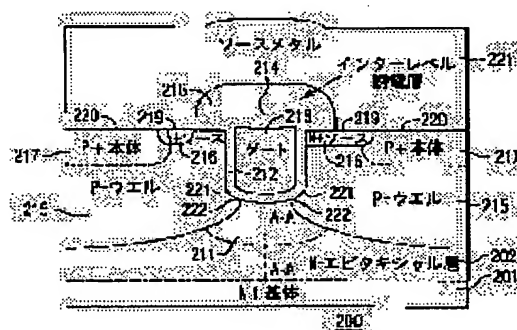
Priority number : 99 283536 Priority date : 01.04.1999 Priority country : US

(54) POWER TRENCH MOS GATE DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a power trench MOS gate device which is improved in switching loss and reduced in on-resistance.

SOLUTION: A power trench MOS gate device is provided with a heavily-doped semiconductor substrate 201, a deep trench gate 213 separated by an insulating layer 212 in an upper layer composed of an N-epitaxial layer 202, doped to a first conductivity-type and well layers 215 doped to a second conductivity-type, and a strongly conductive drain region 211 below the trench gate 213. The gate device is also provided with source region 216 which are heavily doped to first conductivity-type by selective implantation and formed adjacent to the trench gate 213 and more heavily doped main body regions 217 in the upper parts of the second conductivity-type well layers 215. Therefore, the on-resistance of the drain region 211 can be reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(11)特許出願公開番号

特開2000-299464

(P2000-299464A)

(43)公開日 平成12年10月24日(2000.10.24)

(51)Int.Cl. ⁷	識別記号	F I	テームコード*(参考)
H 0 1 L 29/78	6 5 3	H 0 1 L 29/78	6 5 3 A
			6 5 3 C
	6 5 2		6 5 2 C
			6 5 2 H
	6 5 5		6 5 5 C

審査請求 未請求 請求項の数9 OL (全 10 頁) 最終頁に続く

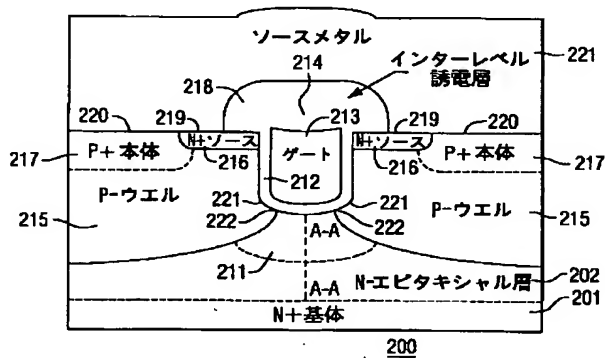
(21)出願番号	特願2000-91296(P2000-91296)	(71)出願人	599123588 インターシル コーポレーション アメリカ合衆国フロリダ州32905, パーム ベイ, エヌイー, パームベイロード2401
(22)出願日	平成12年3月29日(2000.3.29)	(72)発明者	クリストファー・ココン アメリカ合衆国ペンシルヴァニア州18705, ブレインズ, グレースドライブ16
(31)優先権主張番号	09/283536	(74)代理人	100096024 弁理士 柏原 三枝子
(32)優先日	平成11年4月1日(1999.4.1)		
(33)優先権主張国	米国(US)		

(54)【発明の名称】 パワートレンチMOSゲート装置およびその製造方法

(57) 【要約】 (修正有)

【課題】 スイッチングロスを改善し、オン抵抗を小さくしたパワートレンチMOSゲート装置を提供する。

【解決手段】 重くドーブした半導体基体201と、この基体上に第1導電型にドーブしたN-エピタキシャル層202と第2導電型にドーブしたウエル層215からなる上側層内に、絶縁層212で分離された深いトレンチゲート213とを設け、トレンチゲート213の下に強導電性ドレイン領域211を設ける。又、選択的な注入によりトレンチゲート213に隣接して第1導電型に重くドーブしたソース領域216と第2導電型ウエル層215上部により重くドーブした本体領域217を設ける。これによりドレイン領域211のオン抵抗を小さくできる。



1

【特許請求の範囲】

【請求項 1】 重くドーブされた半導体基体と、前記基体上に配置された第 1 導電型にドーブされた上側層と、前記上側層に配置され、絶縁層で前記上側層から分離されている導電材料を具えるトレンチゲートと、前記上側層内において前記トレンチゲートの下に位置する強導電性ドレイン領域とを具えるパワートレンチ MOS ゲート装置において、第 1 導電型の重くドーブされたソース領域と、第 1 導電型と逆の第 2 導電型に重くドーブされた本体領域とが前記上側層の上側表面に配置されており、前記上側層において前記ソースおよび本体領域の下に第 2 導電型の深いウエル領域が配置されており、この深いウエル領域が前記トレンチゲートの下に延在すると共に前記強導電性ドレイン領域に隣接しており、前記強導電性ドレイン領域が前記ドーブされた上側層より重くドーブされていることを特徴とするパワートレンチ MOS ゲート装置。

【請求項 2】 請求項 1 に記載の装置において、さらに、前記ソース領域と前記本体領域に接触する上側金属コンタクトを具え、前記上側層が前記基体内に含まれており、前記上側層がエピタキシャル層を具えることを特徴とする装置。

【請求項 3】 請求項 1 に記載の装置において、前記第 1 の導電型が N 型であり、前記第 2 の導電型が P 型であり、前記基体がモノクリスタルシリコンを具え、前記絶縁層が 2 酸化シリコンを具え、前記トレンチゲート内の導電材料が高濃度にドーブされたポリシリコンであり、前記インターレベル誘電材料が BPSG (borophosphosilicate) または PSG (phosphosilicate) であり、前記装置がパワー MOSFET、絶縁ゲートバイポーラトランジスタ、および MOS 制御サイリスタからなる群から選択されたものであることを特徴とする装置。

【請求項 4】 パワートレンチ MOS ゲート装置を製造する方法において、第 1 導電型にドーブされ、上側表面を有する上側層を具える半導体基体を形成する工程と、前記上側表面内に前記第 1 の導電型と逆の第 2 導電型のドーパントを注入して前記上側層内にウエル領域を形成する工程と、前記上側層の上側表面上に窒化層を形成する工程と、前記窒化層と前記上側層を選択的にエッチングして前記上側層内にトレンチを形成する工程と、前記トレンチのサイドウォールとフロアとを薄い絶縁層でライニングする工程とを具え、前記トレンチフロアを介して第 1 導電型のドーパントを注入して前記トレンチフロアの下に強導電性ドレイン領域を形成し、前記トレンチから前記薄い絶縁層を除去し、前記トレンチのサイドウォールとフロアの上にゲート絶縁材料層を形成し、次いで、前記トレンチを導電材料で埋めてトレンチゲートを形成し、前記上側層の上側表面から前記窒化層を除去し、前記上側層内に前記ウエル領域を熱拡散して前記上側層内に深いウエル領域を形成し、前記深いウエル領域

2

は前記トレンチゲートの下に延在すると共に前記強導電性ドレイン領域に隣接しており、前記上側領域内に前記第 1 導電型のドーパントを注入して重くドーブされたソース領域を前記ゲートトレンチに隣接させて形成し、前記上側層内に第 2 導電型のドーパントを注入して前記ソース領域に隣接する重くドーブされた本体領域を形成することを特徴とする方法。

【請求項 5】 請求項 4 に記載の方法において、前記トレンチゲートと前記上側層の上側表面上にインターレベル誘電材料層を形成し、前記インターレベル誘電層を選択的にエッチングして、ソース領域コンタクトエリアと本体領域コンタクトエリアとを形成し、前記ソース領域コンタクトエリア上及び前記本体領域コンタクトエリア上に金属コンタクトを形成し、前記窒化層の形成に先立って前記上側層の上側表面上に酸化物でできたスクリーン層を形成し、前記上側層が前記基体内に含まれており、前記上側層がエピタキシャル層を具えることを特徴とする方法。

【請求項 6】 請求項 4 に記載の方法において、前記第 1 導電型が N 型であり、前記第 2 導電型が P 型であり、前記基体がモノクリスタルシリコンを具え、前記絶縁層が 2 酸化シリコンを具え、前記トレンチゲート内の前記導電材料が高濃度にドーブされたポリシリコンであることを特徴とする方法。

【請求項 7】 請求項 4 に記載の方法において、第 1 導電型のドーパントがヒ素または燐を含み、前記第 2 導電型のドーパントがボロンを含み、前記インターレベル誘電材料が BPSG (borophosphosilicate) または PSG (phosphosilicate) を含み、前記装置がパワー MOSFET、絶縁ゲートバイポーラトランジスタ、および MOS 制御サイリスタでなる群から選択されたものであることを特徴とする方法。

【請求項 8】 基体上に配置され、第 1 導電型にドーブされた上側層内にゲートトレンチを形成する工程と、前記上側層内に第 1 導電型のドーパントおよび前記第 1 導電型と逆の第 2 導電型のドーパントを注入して前記上側層内にソース領域と本体領域を形成する工程を具えるパワートレンチ MOS ゲート装置を製造する方法において、前記ゲートトレンチのフロア近くにおいて前記上側層の一部のドーピングを多くすることによって前記トレンチフロアの下に第 1 の導電型の強導電性ドレイン領域を形成し、前記上側層内に、前記トレンチゲートの下に延在し、前記強導電性ドレイン領域に隣接する第 2 の導電型の深いウエル領域を形成し、前記トレンチゲート上と前記上側層の上側表面上にインターレベル誘電材料層を形成し、前記インターレベル誘電層を選択的にエッチングしてソース領域コンタクトエリアと本体領域コンタクトエリアとを形成し、前記ソースおよび本体領域コンタクトエリア上に金属コンタクトを形成することを特徴とするパワートレンチ MOS ゲートを装置を製造す

る方法。

【請求項 9】 請求項 8 に記載の方法において、前記上側層がモノクリスタルシリコンを含む基体に含まれており、前記基体がモノクリスタルシリコンを含み、前記上側層がシリコンのエピタキシャル層を含み、前記第 1 導電型が N 型であり、前記第 2 の導電型が P 型であり、前記インターレベル誘電材料が B P S G (borophosphosilicate) または P S G (phosphosilicate) を含み、前記装置がパワー MOS F E T、絶縁ゲートバイポーラトランジスタ、および MOS 制御サイリスタでなる群から選択されたものであることを特徴とする方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は MOS 半導体装置に関するものであり、特にパワートレンチ MOS ゲート装置とその製造方法に関する。

【0002】

【従来の技術】 図 17 は、公知のトレンチゲート型 MOS F E T 装置 100 の断面図である。装置 100 は上側エピタキシャル層 102 を有する N+ 型基板 101 の上に設けられている。トレンチゲート 103 はトレンチを具え、このトレンチはサイドウォール上に配置されたゲート誘電体 104 を有し、ゲート電極として作用するドーパされたポリシリコンが満たされている。上側金属 106 は、P-型ウエル領域 109 に配設されているソース領域および本体領域 107、108 にそれぞれ連結されており、この金属を介してソース接続がなされている。基板 101 の裏側はドレインとして用いられる。図 17 には一つの MOS F E T しか示されていないが、通常のデバイスは現在工業的に使用されている様々なセルラまたはストライプのレイアウトに配置したアレイで構成されている。

【0003】 図 17 に示すような公知の装置がブロッキング (オフ) 状態にある場合、正の電圧がドレインターミナルに印可されると、P-型ウエルと N 型ドレインダイオードに逆バイアスがかかる。ゲート電極に電圧がかかっていなければ、ドレイン電極とソース電極間に電流を流すチャンネルは存在しない。P-型ウエル/N 型ドレインダイオードに逆バイアスがかかっているため、電界を含む空乏領域が形成される。この電界は、トレンチの底の角部のゲート酸化物 104 を伴う P-型ウエル領域 109 のシリコンインターフェース 110 で最大に達する。大きな電界がシリコン酸化物インターフェース 110 にて生じると、この酸化物がキャリア注入によってチャージされ、ブレークダウン電圧が不安定になる。また、最悪の場合は、酸化物が破壊されてゲートドレイン間がショートしてしまう。それほどひどくないケースでも、イオン化がデバイスのチャンネルエリア付近に偏ってしまい、装置の高温のブレークダウン電圧が下がって、非クランプ誘導スイッチング (Unclamped Inductiv

e Switching) 能力が下がってしまう。図 17 に示すように、トレンチの角部周辺で電界を僅かに小さくする試みがなされている。

【0004】

【発明が解決しようとする課題】 従来の装置の使用が限定される他の主な要因は、スイッチング速度と、それに関連するスイッチングロスである。MOS F E T におけるスイッチングロスのほとんどが、ミラーキャパシタンスと呼ばれるゲート/ドレイン容量によることは良く知られている。キャパシタンスは、酸化物インターフェースにおけるゲートとドレイン間の面積に直接的に比例し、これを小さくすることによって装置のスイッチング能力は改善される。本発明の装置は従来の装置のこれらの双方の欠点を除くものである。

【0005】

【課題を解決するための手段】 本発明のパワートレンチ MOS ゲート装置は、重くドーパされた半導体基体と、前記基体上に形成された第 1 導電型にドーパされた上側層と、前記上側層内に設けられており、絶縁層によって前記上側層から分離された導電材料を具えるトレンチゲートを具える。強導電性 (Enhanced Conductivity) のドレイン領域がトレンチゲートの下に位置しており、第 1 導電型に重くドーパされたソース領域と、第 1 導電型と逆の第 2 導電型に重くドーパされた本体領域とが前記上側層の上側表面に設けられている。第 2 導電型の深いウエル領域が前記ソース及び本体領域の下に位置しており、このウエル領域は、前記トレンチゲートの下へ延在していると共に、強導電性のドレイン領域に隣接している。

【0006】 本発明のパワートレンチ MOS ゲート装置は、重くドーパされた半導体基体と、前記基体の上に配置された第 1 導電型にドーパされた上側層と、前記上側層内に配置され、前記上側層から絶縁層で分離された導電材料を具えるトレンチゲートと、前記上側層内において前記トレンチゲートの下に位置する強導電性のドレイン領域を具え、前記第 1 導電型に重くドーパされたソース領域と第 1 導電型と逆の第 2 導電型に重くドーパされた本体領域とが前記上側層の上側表面に配置されており、前記第 2 導電型の深いウエル領域が前記上側領域内において前記ソースおよび本体領域の下に設けられており、前記深いウエル領域は前記トレンチゲートの下に延在すると共に前記強導電性ドレイン領域に隣接しており、前記強導電性ドレイン領域が前記ドーパされた上側層よりより重くドーパされていることを特徴とする。

【0007】 本発明はパワートレンチ MOS ゲート装置の製造方法に関するものであり、この方法は、第 1 導電型にドーパされ、上側表面を有する上側層を具える半導体基体を設ける工程と、前記上側表面に第 1 導電型と逆の第 2 導電型のドーパントを注入して前記上側層内にウエル領域を形成する工程と、前記上側層の前記上側表面

5

に窒化層を形成する工程と、当該窒化層と前記上側層を選択的にエッチングして、前記上側層内にトレンチを形成する工程と、前記トレンチのサイドウォールとフロアを薄い絶縁層でライニングする工程とを具え、前記トレンチフロアを介して第1導電型のドーパントを注入して前記トレンチフロアの下に強導電性のドレイン領域を形成し、前記トレンチから前記薄い絶縁層を除去し、前記トレンチのサイドウォールとフロア上にゲート絶縁材料層を形成し、前記トレンチを導電材料でほぼ埋めてトレンチゲートを形成し、前記上側層の上側表面から前記窒化層を除去し、前記上側層内の前記ウエル領域を熱拡散して前記上側層内に深いウエル領域を形成し、前記深いウエル領域は前記トレンチゲートの下に延在すると共に前記強導電性のドレイン領域に隣接し、第1導電型のドーパントを前記上側層に選択的に注入して、前記ゲートトレンチに隣接する重くドーブされたソース領域を形成し、前記上側層に第2導電型のドーパントを選択的に注入して前記ソース領域に隣接する重くドーブされた本体領域を形成することを特徴とする。

【0008】より好ましくは、本発明のパワートレンチMOSゲート装置を形成する方法は、第1導電型にドーブされた上側層を有する半導体基板を設ける工程を具える。第1導電型と逆の第2導電型のドーパントを前記上側層の上側表面に注入して、上側層内にウエル領域を形成し、前記上側表面上に窒化層を蒸着する。

【0009】前記窒化層と上側層を選択的にエッチングして前記上側層内にトレンチを形成する。当該トレンチのサイドウォールとフロアとは、薄い絶縁層でライニングされ、第1導電型のドーパントをトレンチフロア上の前記薄い絶縁層を介して注入し、トレンチフロアの下の上側層内に強導電性のドレイン領域を形成する。前記薄い絶縁層をトレンチから除去して、ゲート絶縁材料の層を前記トレンチのサイドウォールとフロア上に形成する。次いで、トレンチを導電材料で満たしてトレンチゲートを形成する。

【0010】前記窒化層を上側層の上側表面から除去し、上側層内のウエル領域を熱拡散して、上側層に深いウエル領域が形成する。この深いウエル領域はトレンチゲートの下に延在するとともに、前記強導電性のドレイン領域に隣接している。第1の導電型のドーパントを上側層内に選択的に注入して、ゲートトレンチに隣接する重くドーブしたソース領域を形成する。また、前記上側層に第2の導電型のドーパントを選択的に注入して前記ソース領域に隣接する重くドーブした本体領域を形成する。

【0011】

【発明の実施の形態】本発明の実施形態を図面を参照して詳細に説明する。図16は本発明にかかる装置200を示す。この装置の製造工程を図1ないし図16に示す。

6

【0012】図1ないし図3に示すように、ドーブされた上側層202を有する高ドーブ基体201にドーパントを注入し、このドーパントが熱的にドライブされてP型ウエル領域203が形成される。基体201と層202はN導電型であり、ドーパントはP導電型である。上側層202とウエル領域はN型とP型であるが、これらの要素の導電型は逆であっても良い。基体201は単結晶シリコンとすることができ、上側層201は所望のブレークダウン電圧に必要な厚さと抵抗特性を有するエピタキシャル層とすることができる。代替として、上側層202が基体201内に含まれていても良い。層202の上側表面204には、図4に示すように、光学スクリーン酸化物層205と窒化層206を具えるスタックが形成されている。

【0013】フォトレジストトレンチマスクTMが形成され、酸化物層205と窒化層206を選択的にエッチングしてトレンチ207を形成される。このトレンチ207は図5に示すように、層202内にP-ウエル領域203の下まで深く延在している。トレンチ207は例えば、幅約0.8 μ mから約0.9 μ m、深さ約0.5 μ mから約4 μ mである。

【0014】図6に示すように、厚さ約500~2000オングストロームの薄い酸化層208が、トレンチ207のサイドウォール209とフロア210上に熱成長する。酸化層208を介してトレンチフロア210上に、例えば、約1e12から5e12の濃度、約20KeV~200KeVのエネルギーでN型ドーパントを注入し、強導電性ドレイン領域211を形成する。図7に示すようにこの領域はトレンチフロア210の下に位置しており、フロアに自己整合する。トレンチ207内に残っている酸化物208はウェット酸化物エッチングなどの非選択的なエッチング技術を用いて除去する。

【0015】図8及び図9に示すように、例えば2酸化シリコンでできたゲート絶縁層212を、トレンチ207のフロアとサイドウォールの上に形成し、高ドーブポリシリコンなどの導電材料213の厚い層をトレンチ207内に形成する。導電材料213は平坦化されて窒化層206を露出させる。この窒化層はエッチングによって除去される。トレンチ内の導電材料213を、図10に示すように、ウエハ表面のわずかな下のポイントまで必要に応じてエッチングして、トレンチゲート214を形成する。

【0016】P型ウエル領域203を高温で拡散することによって上側層202に深いP-ウエル領域215を形成する。深いP-ウエル領域215の深さは、使用される熱バジェットに依存する。しかしながら、この領域は強導電性ドレイン領域211に隣接しているので、トレンチゲート214付近で、深いP-ウエル領域215はトレンチフロア210を完全に囲む深さまでは伸びない。

7

【0017】図12に示すように、フォトリソマスクSMを用いて、上側層202に選択的にイオン注入を行うことによってN+ソース領域216を形成する。マスクSMを除去した後、図13に示すように本体マスクPMを用いた選択的なイオン注入によってP+本体領域217を形成する。マスクPMを除去して、図14に示すようにインターレベル誘電層218を設け、緻密化する。この緻密化条件も、N+ソース領域およびP+本体領域内でドーパントをアクティベートするよう作用する。好適なN+、すなわち第1導電型のドーパントはヒ素と燐である。ボロンはP+、すなわち第2導電型の、ドーパントとして使用できる。BPSG (borophosphosilicate) グラス、あるいはPSG (phosphosilicate) グラスの、インターレベル誘電層を、フォトリソマスク(図示せず)を用いてパターン化して、図15に示すように、本体およびソースコンタクト領域219と220を露出させる。次いで金属コンタクト層221が、コンタクト領域219、220に蒸着されて、図16に示す本発明のデバイス200が完成する。ドレイン金属層(図示せず)は、装置200の裏側に形成されている。

【0018】装置200では、深いP-ウェル領域215がトレンチゲート214より深く、ゲート214の真下にあるドレイン領域211の導電性が強調されている。両領域を形成するのに自己整合法が使用されており、セルのサイズを小さくすることができる。深いウェル領域215を設ける目的は、トレンチの角部221における最大電界を小さくすることである。デバイスがオフ状態にある間に形成される空乏層は、ドレイン側へより深く達し、ゲート酸化物/ドレイン間のインターフェース222からは遠くなる。この結果、ゲート酸化物/ドレイン間のシリコンインターフェース222がシールドされ、このインターフェースにおける電界が弱まる。

【0019】ゲートトレンチ214の真下にあり、深いP-型ウェル215/P+型本体領域217間に位置する強導電性ドレイン領域211は、二つの利点を有する。第1に、深いP-型ウェル/P+型本体のフォメーションに際して自己整合を提供することであり、これによって前記フォメーションが上側ドレイン領域内に浸食しすぎることを防止できる。深いP-型ウェル領域215が強導電性ドレイン領域211と共に使用されない場合は、トレンチの深さの制御が臨界的になり、ウェルのより深い拡散が防げられる。MOSFETがオン状態にあるときに、ソース電極に対してゲートに正のバイアスをかけると、薄いチャンネルが形成され、ドレイン電極からソース電極に電流が流れる。ドレインを介して薄いチャンネルに流れる電流は有意に抑制され、デバイスのオン抵抗が高くなり、かつ変化する。

【0020】強導電性ドレイン領域211を設けること

8

の第2の利点は、デバイスのオン抵抗を小さくすることである。上側ドレイン領域における電流のピンチ(クラウド)は、装置のオン抵抗を有意に大きくする。この臨界領域の導電性を強くすることによって、この電流で生じる抵抗が下がり、電流のクラウドによって更なるロスが生じることを防ぐことができる。

【0021】図18及び図19はコンピュータのシミュレーションによる、従来のデバイス100と本発明のデバイス200についての、図16及び17の断面A-Aにおける電界の強さを示す。装置100対200について、トレンチフロアの中央で(グラフにおける距離ゼロ)電界に30%の減少が見られる。デバイス200はトレンチより0.8 μ m深く拡散されたウェルを有するので、この改良点は、従来の装置で電界が最も大きい場所であるトレンチフロアのコーナ221においてより顕著である。本発明の装置200の従来の装置100に対する更なる利点は、ミラーキャパシタンスとスイッチングロスの減少であり、これはゲート酸化物の下のドレイン領域が小さくなったことによる。

【0022】図20及び図21は、従来の装置100と本発明の装置200について、コンピュータでシミュレートしたスイッチングパワーロスとゲートチャージ曲線である。この曲線から、本発明の装置がゲートドレイン容量 C_{g-d} について、従来の装置の2倍の改善がなされており、これはスイッチングを行う間のパワーロスに換算すると約40%の減少となることがわかる。

【0023】本発明のトレンチMOSゲート装置は、従来の装置に比して、ブレイクダウン電圧の信頼性が改善されており、スイッチングロスが少ない。これによって、パワーハンドリングおよび効率が向上する。これらの改善は、トレンチフロアの下位置へのウェル/本体の深い拡散によって、装置がオフ状態にある間電界がシールドされることによる。トレンチフロアの下位置の強導電性ドレイン領域211は、深いウェル領域215を形成するに際して自己整合工程を可能にし、その結果電流のクラウドが生じる領域におけるオン抵抗が小さくなる。

【0024】パワートレンチMOSゲート装置は、重くドーパされた半導体基体と、前記基体上に形成された第1導電型にドーパされた上側層と、前記上側層内に設けられたトレンチゲートを具え、このトレンチゲートは絶縁層によって分離された導電材料を具える。強導電性のドレイン領域がトレンチゲートの下に位置しており、第1導電型に重くドーパされたソース領域と、第1導電型と逆の第2導電型に重くドーパされた本体領域とが上側層の上側表面に設けられている。第2導電型の深いウェル領域が前記ソース及び本体領域の下まで位置しており、このウェル領域は、前記トレンチゲートの下に延在すると共に、強導電性のドレイン領域に隣接している。

本発明のパワートレンチMOSゲート装置の製造方法

9

は、第1導電型にドーパされた上側層を具える半導体基体を設ける工程を具える。前記上側層の上側表面に第1導電型と逆の第2導電型のドーパントを注入して前記上側層内にウエル領域を形成し、前記上側表面に窒化層を蒸着する。この窒化層と前記上側層を選択的にエッチングして、前記上側層内にトレンチを形成する。薄い絶縁層で前記トレンチのサイドウォールとフロアをライニングして、この薄い絶縁層を介して前記トレンチフロアに前記第1導電型のドーパントを注入して、前記トレンチフロアの下の上側層内に強導電性のドレイン領域を形成する。前記薄い絶縁層はトレンチから除去され、ゲート絶縁材料層をトレンチのサイドウォールとフロア上に形成する。トレンチを導電材料でほぼ埋めてトレンチゲートを形成する。窒化層を前記上側層の上側表面から除去し、前記上側層内のウエル領域を熱拡散して前記上側層内に深いウエル領域を形成する。

【図面の簡単な説明】

【図1】 図1は、本発明にかかるパワートレンチMOSゲートトランジスタの製造工程を示す図である。

【図2】 図2は、本発明にかかるパワートレンチMOSゲートトランジスタの製造工程を示す図である。

【図3】 図3は、本発明にかかるパワートレンチMOSゲートトランジスタの製造工程を示す図である。

【図4】 図4は、本発明にかかるパワートレンチMOSゲートトランジスタの製造工程を示す図である。

【図5】 図5は、本発明にかかるパワートレンチMOSゲートトランジスタの製造工程を示す図である。

【図6】 図6は、本発明にかかるパワートレンチMOSゲートトランジスタの製造工程を示す図である。

【図7】 図7は、本発明にかかるパワートレンチMOSゲートトランジスタの製造工程を示す図である。

【図8】 図8は、本発明にかかるパワートレンチMOSゲートトランジスタの製造工程を示す図である。

【図9】 図9は、本発明にかかるパワートレンチMOSゲートトランジスタの製造工程を示す図である。

【図10】 図10は、本発明にかかるパワートレンチMOSゲートトランジスタの製造工程を示す図である。

【図11】 図11は、本発明にかかるパワートレンチMOSゲートトランジスタの製造工程を示す図である。

【図12】 図12は、本発明にかかるパワートレンチMOSゲートトランジスタの製造工程を示す図である。

【図13】 図13は、本発明にかかるパワートレンチ

10

MOSゲートトランジスタの製造工程を示す図である。

【図14】 図14は、本発明にかかるパワートレンチMOSゲートトランジスタの製造工程を示す図である。

【図15】 図15は、本発明にかかるパワートレンチMOSゲートトランジスタの製造工程を示す図である。

【図16】 図16は、本発明にかかるパワートレンチMOSゲートトランジスタの製造工程を示す図である。

【図17】 図17は、公知のパワートレンチMOSゲートトランジスタの構成を示す断面図である。

【図18】 図18は、公知の装置の電界と距離の関係を示すグラフである。

【図19】 図19は、本発明の装置の電界と距離の関係を示すグラフである。

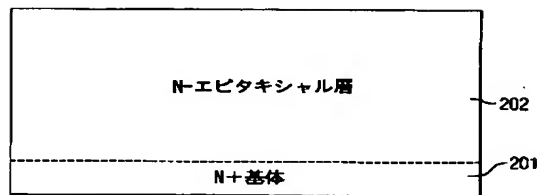
【図20】 図20は、公知の装置のスイッチングロスを示すグラフである。

【図21】 図21は、本発明の装置のスイッチングロスを示すグラフである。

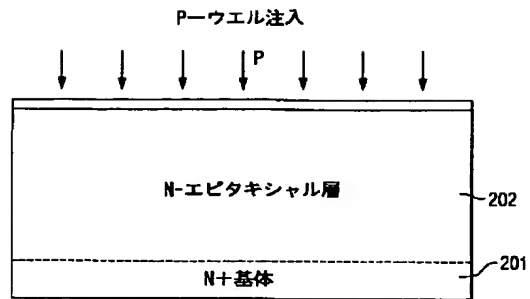
【符号の説明】

201	N+型基体
202	N-型エピタキシャル層（上側層）
203	P-型ウエル
204	上側表面
205	酸化層
206	窒化層
207	トレンチ
208	酸化層
209	サイドウォール
210	フロア
211	ドレイン領域
212	ゲート絶縁層
213	導電材料
214	トレンチゲート
215	P-ウエル領域
216	N+ソース領域
217	P+本体領域
218	インターレベル誘電層
219	ソース領域
220	本体領域
221	トレンチ角部
222	インターフェース
TM	フォトリジストトレンチマスク
SM	フォトリジストマスク

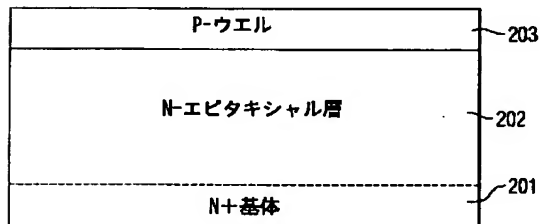
【図 1】



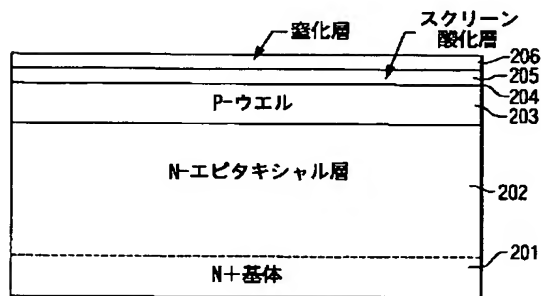
【図 2】



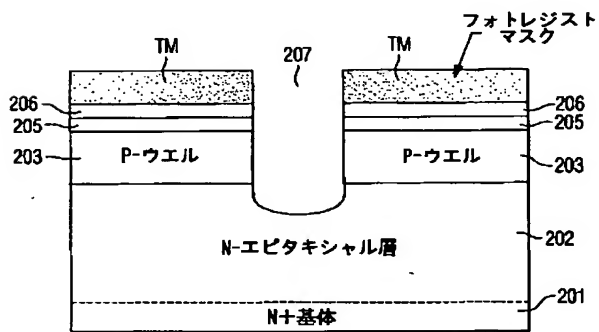
【図 3】



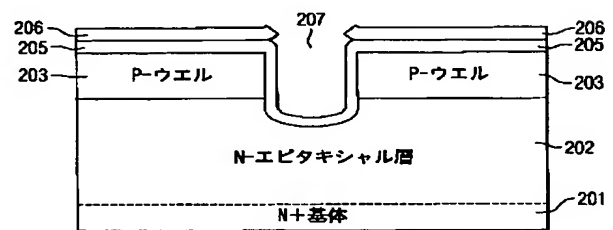
【図 4】



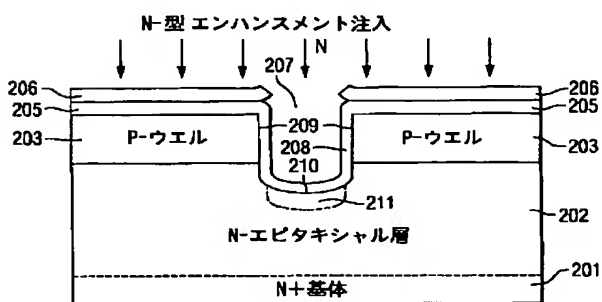
【図 5】



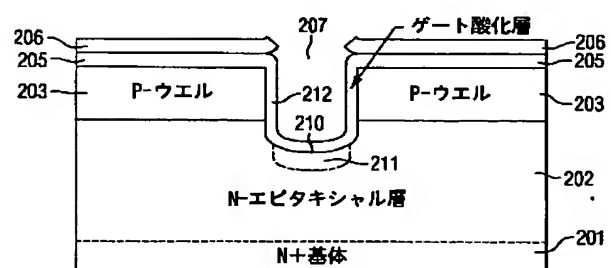
【図 6】



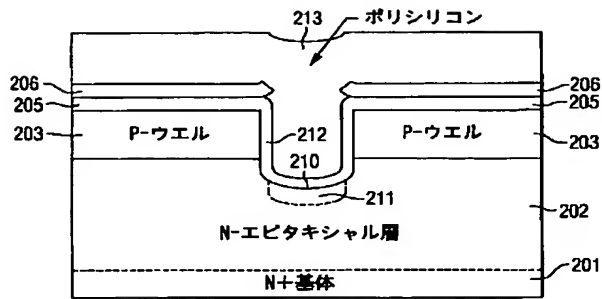
【図 7】



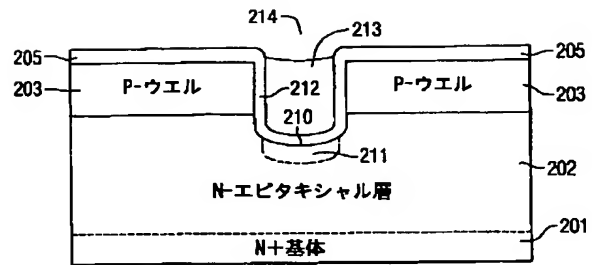
【図 8】



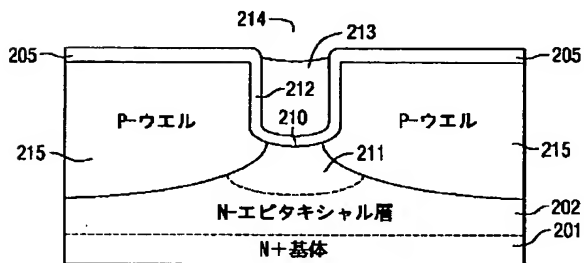
【図 9】



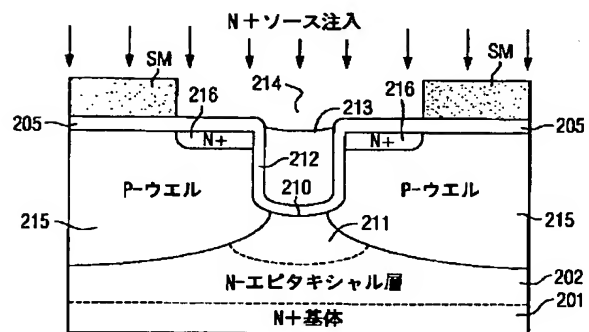
【図 10】



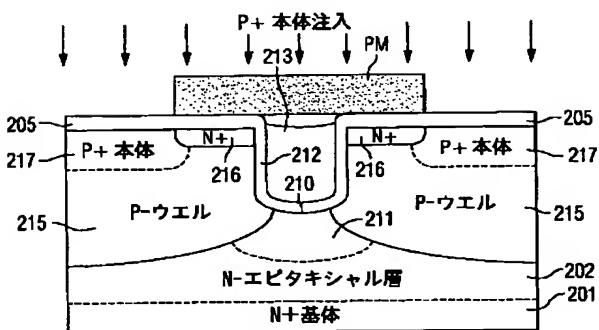
【図 11】



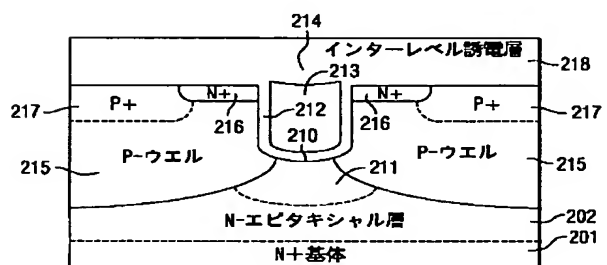
【図 12】



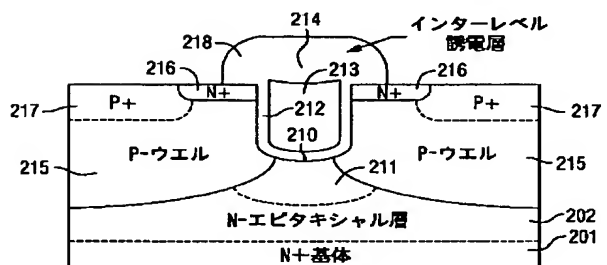
【図 13】



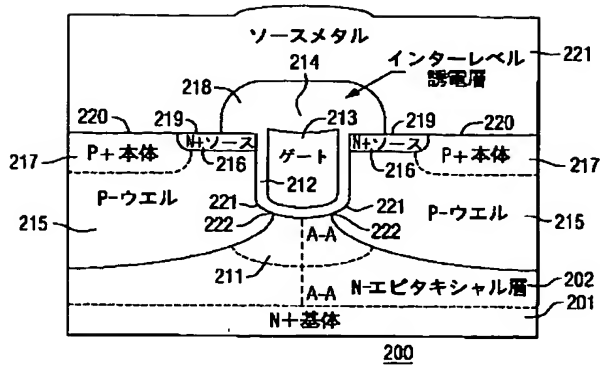
【図 14】



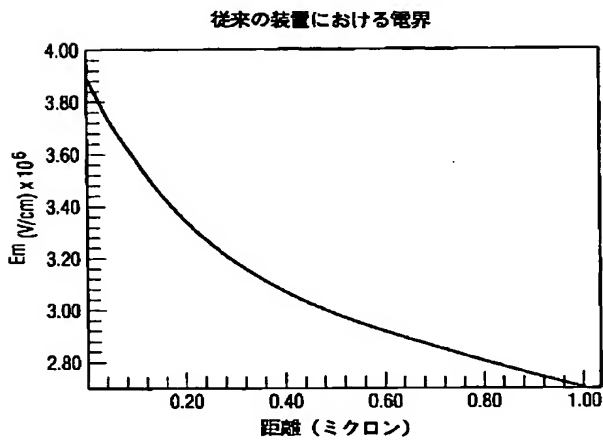
【図 15】



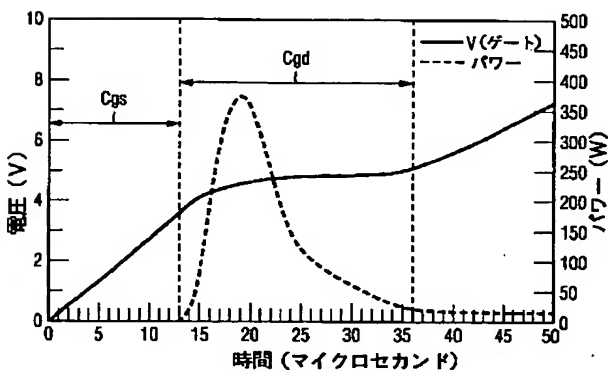
【図 16】



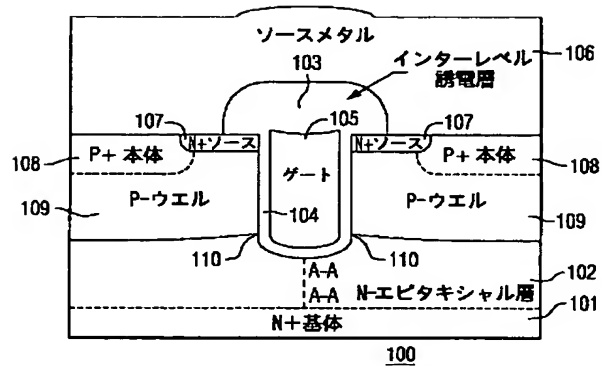
【図 18】



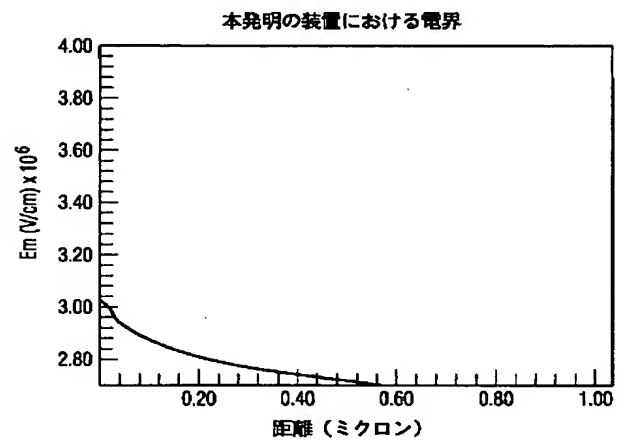
【図 20】



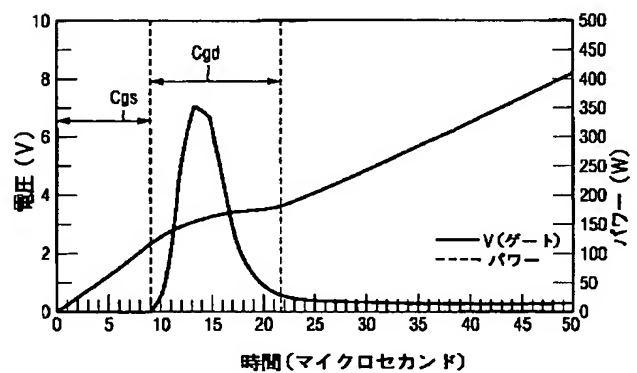
【図 17】



【図 19】



【図 21】



フロントページの続き

(51) Int. Cl. 7

H01L 29/74

識別記号

FI

H01L 29/74

テマコード (参考)

F